



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02159047 A**(43) Date of publication of application: **19.06.90**

(51) Int. Cl.

H01L 21/60**H05K 3/34**(21) Application number: **63314150**(22) Date of filing: **13.12.88**(71) Applicant: **FUJITSU LTD**(72) Inventor: **NAKANISHI TERU
YAMADA TAKESHI
KARASAWA KAZUAKI**(54) **FLUXLESS JOINING METHOD**

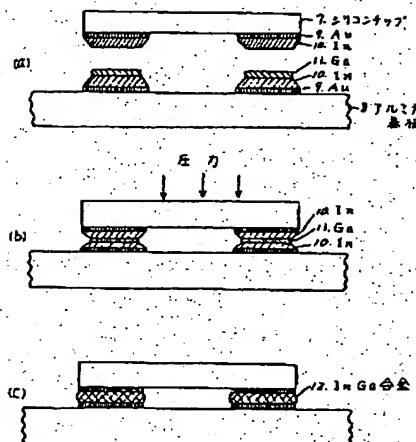
(57) Abstract:

PURPOSE: To achieve junction without using any flux at the time of mounting a parts by allowing two kinds of metals A and B, where a melting point lowers to a temperature below room temperature in the case of formation of an alloy, to be subjected to the formation of fluxing alloy at room temperature and then cooling to operating temperature of parts.

CONSTITUTION: An Au9 is deposited at both terminal regions of a silicon chip 7 and an alumina substrate 8 up to thickness of 1000Å, and then In10 is deposited to a thickness of 100μ on it. Then, a Ga piece 11 which is of the same size and thickness as the deposited In is placed on the In10 of terminal region of the alumina substrate 8. In this case, the total amount of the deposited In10 is equal to approximately 17% in capacity ration of the total amount of a Ga piece 11 and the In10 and approximately 24% in weight ratio and it is fluxing state at 20°C in the case of alloy state. Thus, the In10 and Ga11 are put into contact, a pressure of 20-100g/cm² is applied to. Then, the In10 and the Ga11 are fused together, thus resulting in an InGa alloy 12.

If it is left at 0°C for five minutes, it is coagulated and fusing joining is completed.

COPYRIGHT: (C)1990,JPO&Japio



⑫ 公開特許公報(A)

平2-159047

⑤ Int. Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月19日

H 01 L 21/60
H 05 K 3/343 1 1 S
U6918-5F
6736-5E

審査請求 未請求 請求項の数 1 (全4頁)

④ 発明の名称 フラックスレス接合方法

⑥ 特 願 昭63-314150

⑦ 出 願 昭63(1988)12月13日

⑧ 発 明 者 中 西 輝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑧ 発 明 者 山 田 毅 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑧ 発 明 者 柄 澤 一 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑨ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑩ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

フラックスレス接合方法

2. 特許請求の範囲

室温以下で動作させる半導体等の部品のはんだ付けにおいて、接合しようとする2つの部品のそれぞれの接合部に、合金化させたときの融点が室温以下となる2種類の金属Aと金属Bを、一方の部品の接合部には金属Aを、他方の部品の接合部には金属Bを付与し、該金属Aと金属Bを該接合部にて、室温状態で直接相対して突き合わせて溶融合金化させ、該部品の動作温度に冷却する過程で接合部を凝固させることを特徴とするフラックスレス接合方法。

3. 発明の詳細な説明

〔概要〕

本発明は大型電算機等に使用される半導体部品

やその周辺部品のはんだ付けに関し、

室温状態で部品搭載時にフラックスを全く用いずに接合できることを目的とし、

室温以下で動作させる半導体等の部品のはんだ付けにおいて、接合しようとする2つの部品のそれぞれの接合部に、合金化させたときの融点が室温以下となる2種類の金属Aと金属Bを、一方の部品の接合部には金属Aを、他方の部品の接合部には金属Bを付与し、該金属Aと金属Bを該接合部にて、室温状態で直接相対して突き合わせて溶融合金化させ、該部品の動作温度に冷却する過程で接合部を凝固させるように構成する。

〔産業上の利用分野〕

本発明は大型電算機などに使われる半導体部品やその周辺部品のはんだ付けに関する。

はんだ付けは通常フラックスを用いて加熱することで行うが、フラックス残渣の洗浄が非常に難しいため、フラックス残渣によるはんだ接合部あるいは部品そのものに悪影響を及ぼす恐れがある。

このため、フラックスを用いなくて接合する方法を開発する必要がある。

(従来の技術)

従来ののはんだ付け方法を第4図に示す。

図中、13は部品、14は基板、15ははんだ付け用メタライズ、16は各種はんだ、17はフラックスである。

まず、第4図(a)に示すように、部品13及び基板14の上にはんだ付け用のメタライズ15を形成する。

続いて、第4図(b)に示すように、部品13及び基板14のはんだ付け用メタライズの上に蒸着、めっき、ペースト印刷などの方法でPb-Sn系のはんだ16を供給し、はんだ表面にフラックス17を塗布する。

次に、第4図(c)に示すように、部品13と基板14を突き合わせて200℃前後に加熱し、熔融接合する。

最後に、第4図(d)に示すように、トリクレ

ンなどの溶剤で全体の洗浄を行う。

ところが、小さな隙間などに入り込んだフラックス残渣を取り除くことは非常に困難であり、この残存したフラックス成分によるはんだ接合部や部品そのものへの悪影響が懸念される。

フラックスは部品表面の酸化膜を除去し、表面を酸化性雰囲気から被覆する目的で、電子部品ではロジン系のものが広く使われているが、トリクレンなどの有機溶剤で洗浄した場合に、主要活性成分であるアミノ酸塩などのイオン性物質が溶け難く、部品や基板上に残ってしまう。

(発明が解決しようとする課題)

したがって、フラックスは部品や基板上に残渣として残った場合、水分などの影響により、イオン性物質が溶解して、部品や基板の腐食、或いは電気絶縁破壊を起こして、部品の動作不良等の問題を生じていた。

本発明は、このフラックスによる悪影響を除くために、室温状態で部品搭載時にフラックスを全

く用いずに接合する方法を提供することを目的とする。

(課題を解決するための手段)

第1図は、本発明の原理説明図である。

図において、1は部品、2は基板、3ははんだ付け用メタライズ、4及び5は合金化すると融点が室温以下になる2種の金属である。6は合金である。

第1図(a)に示すように、部品1の接合部に形成したはんだ付け用メタライズ3の上に金属A4を、又、基板2の接合部に形成したはんだ付け用メタライズ3の上に金属B5を付ける。

次に、第1図(b)に示すように、部品1と基板2の2種の合金系金属A4と金属B5が相対する位置で突きあわせ、軽く圧力を掛ける。

すると、第1図(c)に示すように、2種の合金系金属A4と金属B5の接触部の境界付近で拡散が始まり、はんだ熔融する。

これを低温域中に置いて凝固させれば、合金6

となり、はんだの接合が完了する。

(作用)

本発明では、第1図(b)に示したように、合金の融点が室温以下になる2種類の金属AとBを突き合わせ、軽く圧力を加えるようにして、合金を作るようにしている。

従って、半導体部品の接合部にこの2種類の金属を使用すれば、部品の動作温度に冷却する過程で接合部を凝固して接合でき、又、作動中も室温状態に戻すことにより、はんだ接合部の金属疲労を取り除き、接合部の劣化を防止できる。

更に、フラックスを使用しないため、フラックス残渣による接合部の損傷がなく、信頼性が向上する。

(実施例)

第2図は本発明の一実施例の工程順説明図である。

図において、7はシリコンチップ、8はアルミ

ナ基板。9 ははんだ付け用にメタライズした金(Au)。10はインジウム(In)。11はガリウム(Ga)。12はインジウム・ガリウム合金である。

ここでは、合金化して融点が室温以下になる金属として、InとGaを使用した。

先ず、第2図(a)で示すように、シリコンチップ7とアルミナ基板8の双方の端子領域にはんだ付け用メタライズとしてAu9を1,000Åの厚さに蒸着し、その上にIn10を100μの厚さに蒸着する。

次に、アルミナ基板8の端子領域のIn10の上に、蒸着したInと同一サイズで厚さが1mmのGa片11を載せる。

この場合に、シリコンチップ7とアルミナ基板8の双方の端子領域のAu9の上に蒸着したIn10の総量は、Ga片11とIn10の合計量の容積比で約17%、重量比で約24%となり、第3図に示したインジウム・ガリウム金相図で表されるように、合金化した状態の場合には、20℃において熔融状態となっている。

従って、第2図(b)に示すように、アルミナ基板8の端子領域上に載せたGa片11の上に、シリコンチップ7のIn側を下にして、In10とGa11を突き合わせ、軽く20~100g/cm²の圧力を加えると、第2図(c)に示すように、In10とGa11が熔融してInGa合金12となり、これを0℃で5分間放置すると、凝固して熔融接合が完了する。

〔発明の効果〕

以上説明したように、本発明によれば、はんだ付けの際にフラックスを用いないため、フラックス成分による腐食や絶縁破壊などの悪影響が生じない。又、温度を掛けなくて済み、部品の動作中にはんだ接合部が受けた金属疲労も室温に戻せば完全に回復される等の効果がある。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の1実施例の工程順説明図、

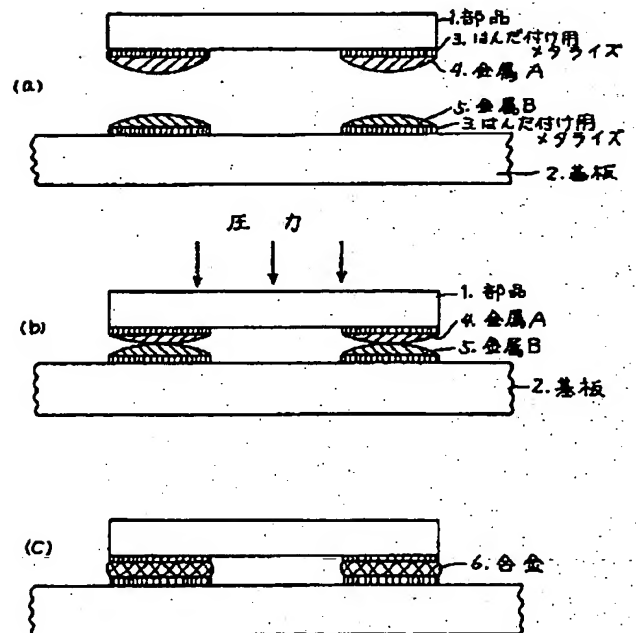
第3図はインジウム・ガリウム金相図、

第4図ははんだ付けの従来例の説明図である。

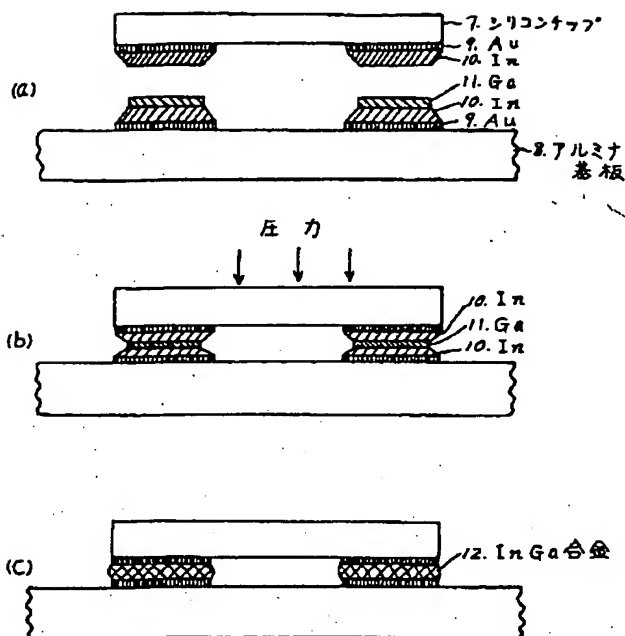
図において、

- 1 は部品、
- 2 は基板、
- 3 ははんだ付け用メタライズ、
- 4 は金属A、
- 5 は金属B、
- 6 は合金、
- 7 はシリコンチップ、
- 8 はアルミナ基板、
- 9 は金、
- 10 はインジウム、
- 11 はガリウム、
- 12 はインジウム・ガリウム合金である。

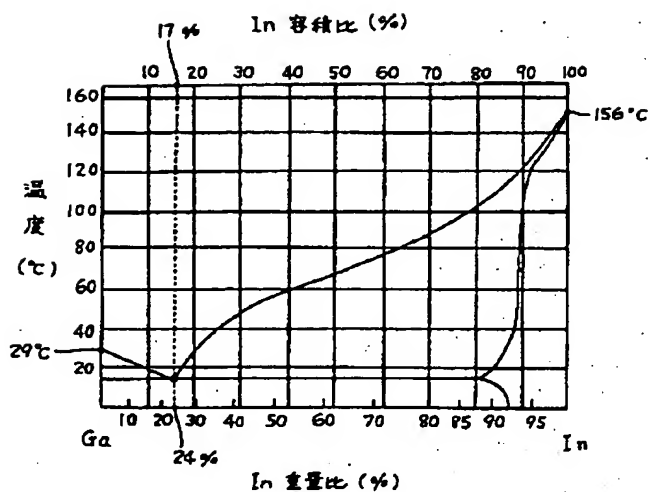
代理人 弁理士 井桁貞一



本発明の原理説明図
第1図

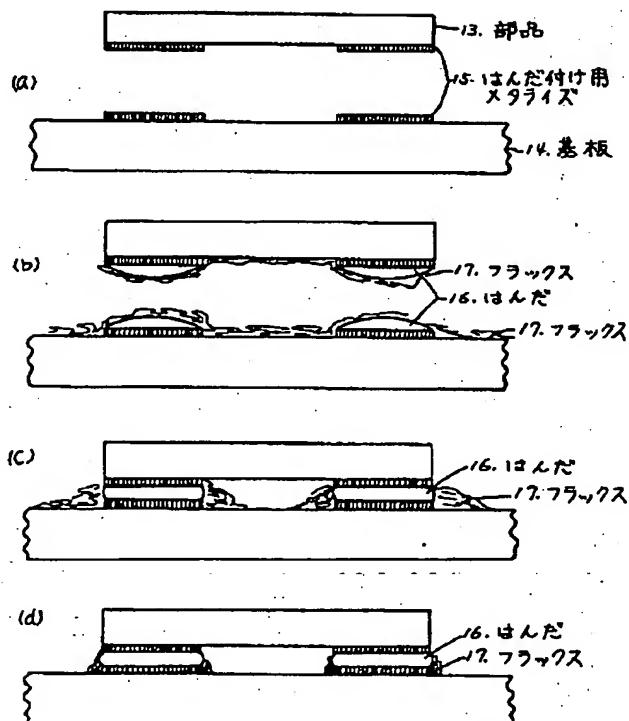


本発明の工程順説明図
第 2 図



インジウム・ガリウム金相図

第 3 図



はんだ付けの従来例の説明図
第 4 図